

欧美二区三区久久日韩V.2.6.2研究院网

欧美日韩久久二区三区 | 2026-04-12

欧美日韩久久二区三区是当前备受关注的热门话题。本文将围绕欧美日韩久久二区三区展开详细介绍，帮助读者全面了解相关内容。

欧美日韩久久二区三区概述

2006年6月，民主進歩黨籍政治人物陳水扁在擔任第十一任中華民國總統任內，由立法委員丁守中提案罷免，中國國民黨與親民黨黨籍立法委員參與連署。一般認為，陳水扁的親信與家人涉及諸多弊案是國親兩黨提議罷免的主因。6月27日，經立法院表決後無法超過三分之二法定門檻，該「總統罷免案宣告」不予成立，因此不另舉行罷免總統的公民投票。

罷免案理由「向人民報告」全文（總統府）（[页面存档备份](#)，存于互联网档案馆）（維基文庫）（[页面存档备份](#)，存于互联网档案馆）「找回台灣社會的公義與良心—回應陳總統6/20談話」全文

6月27日，立法院總統罷免案宣告之投票人數為133席、88席缺席（總共221席）。開票唱名下，89名國民黨（含主持會議之院長王金平）、23名親民黨及6名無黨團結聯盟（發言人高金素梅等）、1名無黨籍（李敖）等共119票贊成罷免提案。另外，參與投票者尚有14張空白廢票（12位台灣團結聯盟，2位無黨籍）。另外，不參與投票，除2名無黨聯盟出國、加上民進黨中央開會決定，由黨主席游錫堃宣佈黨籍立委86名不進立法院場內投票，共計88名缺席。因為投票結果無法通過同意罷免三分之二門檻之148票，因此立法院院長王金平在院中公告該罷免案宣告不成立。該罷免案之罷免投票不予舉行。

欧美日韩久久二区三区的背景与发展

时序收敛（英語：Timing closure）是现场可编程逻辑门阵列、特殊應用積體電路等集成电路设计过程中，调整、修改设计等迭代性的设计流程，确保在时钟驱动的同步電路中所有电磁信号满足邏輯閘的时序要求（与系统时钟相关的时序约束、时钟频率等），保证目标时钟频率下正确的数据传输和可靠运行。为了完成上述过程，工程师常常需要在电子设计自动化工具辅助下工作。“时序收敛”一词有时也用于表达这些要求最终被满足的状态。同步电路由两类原语元件构成：无记忆地处理逻辑函数的组合逻辑门（如非门、与门、或门、与非门、或非门、异或门等），以及能存储数据并由时钟信号触发的时序逻辑电路元件（如触发器、锁存器、寄存器）。通过时序收敛，可以通过改进布局和重构网表等手段来调整电路，以减少路径延迟并确保逻辑门的信号在所需的时钟时序之前完成有效作用。随着集成电路设计变得日益复杂，包含数十亿个晶体管和高度互联的逻辑，确保所有关键时序路径满足约束的任务也变得愈发困难。未能满足这些时序要求可能导致功能性故障、不可预测的后果或系统级失效。因此，时序收敛并不是一个简单的最终验证步骤，而是一项全面的迭代优化流程，包括持续改进设计的逻辑结构和物理实现，例如调整门级逻辑结构、精炼放置与互连，以便在整片芯片范围内可靠地满足所有时序约束。

在IC设计过程中，IC布局应满足几何约束和时序约束。几何约束指物理设计中由封装/制造工艺强加的规则，例如单元对齐的正确性和最小布线间距。时序约束指所有信号路径应满足的时序要求。通常，在触发器输出信号于时钟沿发生改变之前，该信号在元件内还应保持稳定一段时间，这称为建立时间（setup time）。在电磁信号到达下一级触发器并在时钟沿被采样之后，信号在存储元件中还应保持稳定一段时间，这称为保持时间（hold time）。时序约束分为两类：建立时间约束（长路径约束）：这类约束规定在触发器时钟沿之前数据输入信号应保持稳定的时间长度，以便数据有足够时间通过一条逻辑路径传播并在下一个时钟沿之前到达下一级触发器。如果路径延迟过长，可能违反建立时间约束，导致错

误数据被锁存。 保持时间约束（短路径约束）： 这类约束规定在触发器时钟沿之后数据输入信号应保持稳定的时间长度。违反保持时间约束可能导致亚稳态或其他不期望的行为。 保持时间约束公式：
$$t_{logic} > t_h - t_{c-q}$$

在逻辑综合和约束分析之后，设计会经历静态时序分析（STA），这是验证电路是否满足其定义的时序约束的基本、迭代过程（在FPGA中亦然）。在STA中，通常假设时钟偏移可以忽略，并在后续时钟树综合阶段再处理。静态时序分析工具（如Cadence Tempus、Synopsys PrimeTime、Intel Timing Analyzer等）能够在无需仿真的情况下评估设计中的所有时序路径，因此非常适合进行可扩展且全面的分析。在静态时序分析中，组合电路可表示为有向无环图（DAG），其中每个节点的权重对应于导线（或逻辑门）的延迟。在此过程中，静态时序分析引擎会计算：

深入分析

路径延迟（Path delays）：从一个寄存器经过组合逻辑到另一个寄存器的总延迟。 余量（Slack）：所需到达时间与实际到达时间之间的差值。 关键路径（Critical paths）：余量最小（或为零）的最长路径。 违例（Violations）：余量为负的路径，表示时序不满足。

RAT = 所需到达时间（required arrival time） AAT = 实际到达时间（actual arrival time） RAT指信号在时序要求下最迟可以发生转换的时间；AAT指信号实际发生转换的最迟时间（在每个节点的输出端定义）。若某一输出的余量为负，则表示电路未能满足时序；若所有输出的余量为正，则表示电路满足时序。

单点时钟树由单一时钟源出发，以树状结构将时钟信号分发到所有时序元件。该方法易于实现，适用于低频或多时钟的设计。但对于高频或大规模设计不太适合，因为路径不对称会导致较大的时钟偏移。

以上就是关于欧美日韩久久二区三区的详细介绍。欧美日韩久久二区三区等相关话题也值得进一步了解。